

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Toshihiro KAWAKAMI, et al.

Application No.:

Group Art Unit:

Filed: July 8, 2003

Examiner:

For: DATA TRANSFER CONTROLLER WITH DATA PRE-FETCHING FUNCTION

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2002-210198

Filed: July 18, 2002

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: July 8, 2003

By: 

H. J. Staas
Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月18日

出 願 番 号

Application Number:

特願2002-210198

[ST.10/C]:

[JP 2002-210198]

出 願 人

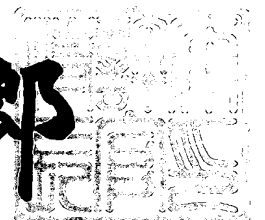
Applicant(s):

富士通株式会社
富士通周辺機株式会社

2002年12月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3095644

【書類名】 特許願

【整理番号】 0295270

【提出日】 平成14年 7月18日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/36

【発明の名称】 データ転送制御装置およびデータ転送制御方法

【請求項の数】 5

【発明者】

【住所又は居所】 兵庫県加東郡社町佐保 3 5 番 富士通周辺機株式会社内

【氏名】 川上 俊浩

【発明者】

【住所又は居所】 兵庫県加東郡社町佐保 3 5 番 富士通周辺機株式会社内

【氏名】 藤戸 肇

【発明者】

【住所又は居所】 兵庫県加東郡社町佐保 3 5 番 富士通周辺機株式会社内

【氏名】 大亀 伸一

【発明者】

【住所又は居所】 兵庫県加東郡社町佐保 3 5 番 富士通周辺機株式会社内

【氏名】 生友 得雄

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 592019877

【氏名又は名称】 富士通周辺機株式会社

【代理人】

【識別番号】 100086380

【弁理士】

【氏名又は名称】 吉田 稔

【選任した代理人】

【識別番号】 100103078

【弁理士】

【氏名又は名称】 田中 達也

【選任した代理人】

【識別番号】 100105832

【弁理士】

【氏名又は名称】 福元 義和

【連絡先】 0 6 - 6 7 6 4 - 6 6 6 4

【手数料の表示】

【予納台帳番号】 024198

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9807281

【包括委任状番号】 9808236

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ転送制御装置およびデータ転送制御方法

【特許請求の範囲】

【請求項 1】 データ転送レートの異なる高速バスと低速バスとを接続し、これらのバス間でデータを受け渡しするデータ転送制御装置であって、

前記低速バス上の周辺デバイスに割り当てられたアドレスを保持するアドレス保持手段と、

前記アドレス保持手段のアドレスを指定し、前記周辺デバイスから周期的にデータを読み出してバッファに確保しておくプリフェッチ手段と、

前記高速バス上からの前記周辺デバイスに対するリードアクセスに伴い、前記アドレス保持手段のアドレスと同一のアドレスが指定された場合、そのアドレスに基づき前記プリフェッチ手段により先読みされることで前記バッファに確保されたデータを前記高速バス上に送り返す直接応答手段と、

を備えたことを特徴とする、データ転送制御装置。

【請求項 2】 前記アドレス保持手段には、比較的アクセス頻度の高いアドレスが保持される、請求項 1 に記載のデータ転送制御装置。

【請求項 3】 前記高速および低速バスは、コンピュータ内部のバスである、請求項 1 または 2 に記載のデータ転送制御装置。

【請求項 4】 前記高速バスは、コンピュータ内部のバスである一方、前記低速バスは、前記周辺デバイスを前記コンピュータに外部接続するためのケーブルである、請求項 1 または 2 に記載のデータ転送制御装置。

【請求項 5】 データ転送レートの異なる高速バスと低速バスとを接続し、これらのバス間でデータを受け渡しするためのデータ転送制御方法であって、

前記低速バス上の周辺デバイスに割り当てられたアドレスをアドレスレジスタに保持するとともに、そのアドレスを指定して前記周辺デバイスから周期的にデータを読み出してバッファに確保しておくプリフェッチプロセスと、

前記高速バス上からの前記周辺デバイスに対するリードアクセスに伴い、前記アドレスレジスタのアドレスと同一のアドレスが指定された場合、そのアドレスに基づき前記プリフェッチプロセスにより先読みされることで前記バッファに確

保されたデータを前記高速バス上に送り返す直接応答プロセスと、
を実行することを特徴とする、データ転送制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、たとえばコンピュータ内部のデータ転送レートの異なるバス同士を接続するバスブリッジや、コンピュータ内部のバスと外部機器接続用のケーブルとを接続するI/Oコントローラなどのデータ転送制御装置、およびデータ転送制御方法に関する。

【0002】

【従来の技術】

たとえばパーソナルコンピュータのマザーボードには、CPUとメモリとを接続するFSB (Front Side Bus) のほか、比較的データ転送レートの高いPCI (Peripheral Component Interconnect) バスや、データ転送レートの低いISA (Industry Standard Architecture) バスなどが配線されている。FSBとPCIバスとの間には、双方向にデータや制御信号などを効率良く変換して受け渡しする機能を備えたホストブリッジが接続され、PCIバスとISAバスとの間には、ホストブリッジと同様の機能を備えたPCI/ISAブリッジが接続されている。

【0003】

上記バスを介した従来のデータのやり取りは、一般に以下のようにして行われる。

【0004】

たとえばCPUからISAバス上のISAデバイスに対してデータ（制御上やり取りされる制御データ）の読み出し命令（以下、「リードアクセス」と称する）を行う際には、まず最初にCPUがバスマスタとなってFSBを占有する。FSBを占有したCPUは、目的のデータが存在するISAデバイス内の制御レジスタに割り当てられたアドレス（I/Oポートアドレス）とリードアクセス信号とをFSB上に送出する。次に、FSBを通じてアドレスとリードアクセス信号

とを受けたホストブリッジがバスマスタとなって P C I バスを占有し、受け取ったアドレスとリードアクセス信号とを P C I バスのバスサイクルに対応するように変換して P C I バス上に送出する。さらに、P C I バスを通じてアドレスとリードアクセス信号とを受けた P C I / I S A ブリッジが次にバスマスタとなって I S A バスを占有し、受け取ったアドレスとリードアクセス信号とを I S A バスのバスサイクルに対応するように変換して I S A バス上に送出する。

【 0 0 0 5 】

これにより、アドレスの指定先となる I S A デバイスの制御レジスタからデータが読み出され、このデータが I S A バスを通じて P C I / I S A ブリッジに送り返される。データを受けた P C I / I S A ブリッジは、そのデータを P C I バスを通じてホストブリッジに送り返し、さらにホストブリッジが F S B を通じて C P U にデータを送り返すことで一通りのリードアクセスが完了とされる。

【 0 0 0 6 】

【発明が解決しようとする課題】

しかしながら、上記した従来のデータのやり取りでは、F S B と P C I バスとの間や P C I バスと I S A バスとの間において、バスマスタが目的とするデータを I S A デバイスから受けるまではデータ転送レートの低い下位側のバスが占有状態とされてしまう。言い換えれば、バスマスタとしての各ブリッジの制御によりデータ転送レートの低い方のバスが解放されない限りは高い方のバスが解放されず、高速側のバスからしてみれば占有時間が長引いてしまっていた。そのため、データ転送レートの異なる複数のバスを経由してデータを転送する限りは、ある程度のレイテンシ（デバイスに対してアクセスを行い、そのデバイスから結果が返ってくるまでの遅延時間）を認めざるを得ず、リードアクセスの際のデータ転送速度にある程度の限界があった。

【 0 0 0 7 】

【発明の開示】

そこで、本発明は、上記した事情のもとで考え出されたものであって、バス全体にわたるレイテンシをできる限り小さくし、データ転送速度を向上させることができるデータ転送制御装置、およびデータ転送制御方法を提供することを、そ

の課題としている。

【 0 0 0 8 】

上記課題を解決するため、本発明では、次の技術的手段を講じている。

【 0 0 0 9 】

本発明の第 1 の側面によるデータ転送制御装置は、データ転送レートの異なる高速バスと低速バスとを接続し、これらのバス間でデータを受け渡しするデータ転送制御装置であって、低速バス上の周辺デバイスに割り当てられたアドレスを保持するアドレス保持手段と、アドレス保持手段のアドレスを指定し、周辺デバイスから周期的にデータを読み出してバッファに確保しておくプリフェッチ手段と、高速バス上からの周辺デバイスに対するリードアクセスに伴い、アドレス保持手段のアドレスと同一のアドレスが指定された場合、そのアドレスに基づきプリフェッチ手段により先読みされることでバッファに確保されたデータを高速バス上に送り返す直接応答手段とを備えたことを特徴としている。

【 0 0 1 0 】

ここで、アドレス保持手段には、比較的アクセス頻度の高いアドレスが保持される構成とするのが好ましい。

【 0 0 1 1 】

好ましい実施の形態としては、高速および低速バスは、コンピュータ内部のバスである構成とすることができる。この場合、データ転送制御装置は、コンピュータ内部のデータ転送レートの異なるバス同士を接続するバスブリッジとして機能する。

【 0 0 1 2 】

また、他の好ましい実施の形態としては、高速バスは、コンピュータ内部のバスである一方、低速バスは、周辺デバイスをコンピュータに外部接続するためのケーブルである構成とすることができる。この場合、データ転送制御装置は、コンピュータ内部のバスとたとえばプリンタケーブルとを接続する I / O コントローラとして機能する。

【 0 0 1 3 】

本発明の第 2 の側面によるデータ転送制御方法は、データ転送レートの異なる

高速バスと低速バスとを接続し、これらのバス間でデータを受け渡しするためのデータ転送制御方法であって、低速バス上の周辺デバイスに割り当てられたアドレスをアドレスレジスタに保持するとともに、そのアドレスを指定して周辺デバイスから周期的にデータを読み出してバッファに確保しておくプリフェッチプロセスと、高速バス上からの周辺デバイスに対するリードアクセスに伴い、アドレスレジスタのアドレスと同一のアドレスが指定された場合、そのアドレスに基づきプリフェッチプロセスにより先読みされることでバッファに確保されたデータを高速バス上に送り返す直接応答プロセスとを実行することを特徴としている。

【 0 0 1 4 】

本発明によれば、たとえばコンピュータ内部の高速バス上から低速バス上の周辺デバイスに対してリードアクセスがなされ、その際に指定されたアドレスに基づき周辺デバイスのデータが事前にプリフェッチされている場合、周辺デバイスとの間で低速バスを介してリードアクセスやデータ転送が行われことはなく、プリフェッチ済みのデータが高速バス上に送り返される。つまり、高速バスと低速バスとの間で目的とするデータがすでに得られていれば、そのデータがレスポンスとして即座に返され、その分、低速バスを介してデータなどがやり取りされることなく高速バスが早期に解放されるので、バス全体にわたるレイテンシをできる限り小さくすることができ、データ転送速度を向上させることができる。

【 0 0 1 5 】

特に、比較的アクセス頻度の高いアドレスをアドレス保持手段としてのアドレスレジスタなどに保持しておくようにすれば、周辺デバイスに対するリードアクセスの際には、プリフェッチ済みのデータに対するヒット率を高めることができるので、アクセスパターンの局所性を活かしてもデータ転送速度を向上させることができる。

【 0 0 1 6 】

本発明のその他の特徴および利点は、図面を参照して以下に行う詳細な説明から、より明らかとなるであろう。

【 0 0 1 7 】

【発明の実施の形態】

以下、本発明の好ましい実施の形態について、図面を参照して具体的に説明する。

【 0 0 1 8 】

図 1 は、本発明のデータ転送制御装置を含む一例としてのバス構成図である。たとえばパーソナルコンピュータの本体に内蔵されたマザーボードには、図 1 に示すように CPU 1 とメモリ 2 とを接続する FSB 1 0 のほか、PCI バス 2 0 や ISA バス 3 0 などが配線されている。FSB 1 0 と PCI バス 2 0 との間には、双方向からのデータなどを効率良く受け渡しするデータ転送制御機能を備えたホストブリッジ 3 が接続され、PCI バス 2 0 と ISA バス 3 0 との間には、ホストブリッジ 3 と同様の機能を備えた PCI / ISA ブリッジ 4 が接続されている。PCI バス 2 0 には、PCI デバイス 5 が接続され、ISA バス 3 0 には、ISA デバイス 6 が接続されている。これらのうち、ホストブリッジ 3 および PCI / ISA ブリッジ 4 のそれぞれが本発明に係るデータ転送制御装置に相当する。ちなみに、パーソナルコンピュータの分野では、一般にホストブリッジ 3 はノースブリッジと呼ばれ、PCI / ISA ブリッジ 4 はサウスブリッジと呼ばれている。

【 0 0 1 9 】

まず、バスについて具体的に説明すると、FSB 1 0 は、マザーボード上のベースクロック（動作周波数）に合わせてデータやアドレスなどを双方向に伝送するパラレル伝送路であり、リード／ライトアクセス信号などの制御信号用のコントロールバス 1 1、アドレス専用のアドレスバス 1 2、およびデータ専用のデータバス 1 3 からなる。この FSB 1 0 では、たとえばベースクロック（ベースクロックに一致）が 1 0 0 ～ 2 0 0 M H z、最大データ転送速度が 2 G B y t e / s 程度とされる。

【 0 0 2 0 】

PCI バス 2 0 は、PCI デバイス 5 とホストブリッジ 3 や PCI / ISA ブリッジ 4 との間でデータやアドレスなどを双方向に伝送するパラレル伝送路であり、リード／ライトアクセス信号などの制御信号用のコントロールバス 2 1 と、アドレス／データ共用のアドレス／データバス 2 2 からなる。この PCI バス 2

0では、たとえばアドレス／データバス22のバス幅が32ビット、最大バスクロックが33MHz、最大データ転送速度が132MByte/sとされる。

【0021】

ISAバス30は、ISAデバイス6とPCI／ISAブリッジ4との間でデータやアドレスなどを双方向に伝送するパラレル伝送路であり、リード／ライトアクセス信号などの制御信号用のコントロールバス31、アドレス専用のアドレスバス32、およびデータ専用のデータバス33からなる。このISAバス30では、たとえばアドレスバス32およびデータバス33のバス幅がそれぞれ24ビットおよび16ビット、最大バスクロックが8MHz、最大データ転送速度が4MByte/sとされる。

【0022】

すなわち、データ転送レートについては、FSB10>PCIバス20>ISAバス30の関係が成立し、ISAバス30よりもPCIバス20、PCIバス20よりもFSB10の方が高速とされる。

【0023】

CPU1は、周辺デバイスとしてのメモリ2やPCIデバイス5、ISAデバイス6に対してデータ（制御上やり取りされる制御データを含む）を読み書きする。その際、CPU1は、バスマスタとしてFSB10を占有し、リード／ライトアクセス信号をFSB10のコントロールバス11上に出送する。同時にCPU1は、ターゲットとなる周辺デバイス2、5、6上のデータ位置を示すアドレスを指定し、そのアドレスをFSB10のアドレスバス12上に出送する。ちなみに、メモリ2に対するリード／ライトアクセスの際には、メモリ2に割り当てられたメモリアドレスがCPU1により指定されるが、PCIデバイス5やISAデバイス6に対するリード／ライトアクセスの際には、各デバイス5、6に割り当てられたI/Oポートアドレスが指定される。このようなリード／ライトアクセス信号は、リード／ライトサイクルとも呼ばれる。

【0024】

メモリ2は、アドレスが割り振られた領域（アドレス領域）にデータを格納しており、CPU1などからアドレスが指定されると、それに応じたアドレス領域

のデータを出力したり、アドレス領域に対してデータを書き込む。

【 0 0 2 5 】

P C I デバイス 5 は、たとえば I D E (Integrated Device Electronics) ハードディスクドライブ、N I C (Network Interface Card) 、 S C S I (Small Computer System Interface) デバイス、グラフィックス・アクセラレータなどであり、メモリ 2 よりもデータ入出力速度が遅いが比較的高速な部類に属するものである。図 1 には簡略化して 1 つの P C I デバイス 5 しか示さないが、P C I デバイス 5 には、P C I バス 2 0 上の図示しない拡張コネクタにライザカードとして装着されるタイプと、図示しない I / O コントローラを介して P C I バス 2 0 に接続されるタイプとがあり、これらのタイプが P C I バス 2 0 上に混在して接続されている。このような P C I デバイス 5 自体には、制御用のマイクロコンピュータや周辺回路とともに制御レジスタが組み込まれており、この制御レジスタに I / O ポートアドレスが割り当てられている。

【 0 0 2 6 】

I S A デバイス 6 は、たとえば F D D (Flexible Disk Drive) 、 R S - 2 3 2 C デバイス、プリンタ、キーボードなどであり、データ入出力速度に関して P C I デバイス 5 よりも低速となる部類に属するものである。図 1 には簡略化して 1 つの I S A デバイス 6 しか示さないが、I S A デバイス 6 には、I S A バス 3 0 上の図示しない拡張コネクタにライザカードとして装着されるタイプと、図示しない I / O コントローラを介して I S A バス 3 0 に接続されるタイプとがあり、これらのタイプが I S A バス 3 0 上に混在して接続されている。このような I S A デバイス 6 自体には、制御用のマイクロコンピュータや周辺回路とともに制御レジスタが組み込まれており、この制御レジスタに I / O ポートアドレスが割り当てられている。

【 0 0 2 7 】

次に、要部となる P C I / I S A ブリッジ 4 について具体的に説示する。なお、ホストブリッジ 3 は、P C I / I S A ブリッジ 4 と接続対象となるバスが相違する以外は同様の構成からなるため、便宜上ホストブリッジ 3 についての説明を割愛する。

【 0 0 2 8 】

図 2 は、P C I / I S A ブリッジ 4 の内部構成を示すブロック図である。この図に示すように、P C I / I S A ブリッジ 4 は、制御コア回路 4 0、アドレスレジスタ 4 1、アドレス比較回路 4 2、アドレスジェネレータ 4 3、タイマクロックジェネレータ 4 4、データバストランシーバ回路 4 5、およびデータバッファ 4 6 などにより構成されている。特に図 2 には示さないが、上位バスとなる P C I バス 2 0 は、コントロールバス 2 1 が制御コア回路 4 0 に接続され、アドレス／データバス 2 2 がアドレス比較回路 4 2、データバストランシーバ回路 4 5、およびデータバッファ 4 6 に接続されている。また、下位バスとなる I S A バス 3 0 は、コントロールバス 3 1 が制御コア回路 4 0、アドレスバス 3 2 がアドレスジェネレータ 4 3、データバス 3 3 がデータバストランシーバ回路 4 5 およびデータバッファ 4 6 に接続されている。このような P C I / I S A ブリッジ 4 は、下位側の I S A バス 3 0 に対してバスマスタとなり得るものである。

【 0 0 2 9 】

制御コア回路 4 0 は、P C I / I S A ブリッジ 4 全体の動作を制御する。たとえば制御コア回路 4 0 は、I S A デバイス 6 に対するリード／ライトアクセス信号を P C I バス 2 0 のコントロールバス 2 1 から受けると、そのリード／ライトアクセス信号を I S A バス 3 0 のバスサイクルに応じたリード／ライトアクセス信号に変換して I S A バス 3 0 のコントロールバス 3 1 に送り出す。また、制御コア回路 4 0 は、アドレスレジスタ 4 1 やデータバッファ 4 6 を用いて I S A デバイス 6 から事前にデータを読み出しておくといったプリフェッチ機能を備える。

【 0 0 3 0 】

アドレスレジスタ 4 1 には、設計段階などで I S A バス 3 0 上の I S A デバイス 6 に対するアクセスパターンのシミュレーションを行い、これによりアクセス頻度がある程度高いとの推測結果が得られた、たとえば F D D、R S - 2 3 2 C デバイス、プリンタ、キーボードなどの I / O ポートアドレスが予め保持されている。以下の説明では、アドレスレジスタ 4 1 に保持されているアドレスを、特に「プリセットアドレス」と呼ぶ。

【 0 0 3 1 】

アドレス比較回路 4 2 は、P C I バス 2 0 のアドレス／データバス 2 2 から受けたアドレスとアドレスレジスタ 4 1 のプリセットアドレスとを比較する。これらのアドレスを比較した結果は、アドレス比較回路 4 2 から制御コア回路 4 0 に対して通知される。

【 0 0 3 2 】

アドレスレジスタ 4 3 は、制御コア回路 4 0 からの指令に応じて P C I バス 2 0 のアドレス／データバス 2 2 から受けたアドレスや、アドレスレジスタ 4 1 のプリセットアドレスに対応するアドレスを生成し、I S A バス 3 0 のバスサイクルに応じたアドレスとして I S A バス 3 0 のアドレスバス 3 1 に送り出す。

【 0 0 3 3 】

タイマクロックジェネレータ 4 4 は、制御コア回路 4 0 がプリフェッチ機能を周期的に実行するためのタイマクロック信号を生成し、このタイマクロック信号を制御コア回路 4 0 に供給する。タイマクロック信号を受けた制御コア回路 4 0 は、タイマクロック信号に基づくタイミングでアドレスジェネレータ 4 3 に指令を送り、これによりアドレスジェネレータ 4 3 を介してアドレスレジスタ 4 1 のプリセットアドレスが周期的に I S A バス 3 0 のアドレスバス 3 1 に送り出される。

【 0 0 3 4 】

データバストランシーバ回路 4 5 は、上位バスとなる P C I バス 2 0 のアドレス／データバス 2 2 から受けたデータを、I S A バス 3 0 などのバスサイクルに応じたデータに変換してデータバス 3 3 上に送り出す。逆に、データバストランシーバ回路 4 5 は、下位バスとなる I S A バス 3 0 などのデータバス 3 3 から受けたデータを、P C I バス 2 0 のバスサイクルに応じたデータに変換してアドレス／データバス 2 2 上に送り出す。

【 0 0 3 5 】

データバッファ 4 6 には、制御コア回路 4 0 のプリフェッチ機能により I S A デバイス 6 の制御レジスタから読み出されたデータが一時的に保存される。このデータバッファ 4 6 に保存されたデータは、P C I バス 2 0 を通じて指定された

アドレスとアドレスレジスタ41のプリセットアドレスとが一致する場合、制御コア回路40の制御に応じてPCIバス20のアドレス/データバス22上に送り出される。

【0036】

次に、PCI/ISAブリッジ4の動作について図3および図4を参照して説明する。

【0037】

図3および図4は、PCI/ISAブリッジ4の動作を模式的に説明するための模式図である。まず、図3の(a)に示すように、PCI/ISAブリッジ4は、CPU1などからのリード/ライトアクセスがないとき、下位バスとなるISAバス30を占有して周期的にプリフェッチ機能を実行している。具体的に言うと、PCI/ISAブリッジ4の制御コア回路40は、タイマクロック信号に基づく周期的なタイミングでリードアクセス信号をISAバス30上に送り出し、同時にアドレスレジスタ41のプリセットアドレスをISAバス30上に送り出す。たとえば、図3の(a)に一例として示すように、ISAバス30に接続されたISAデバイス6としてのFDD6A、RS-232Cデバイス6B、プリンタ6Cに割り当てられた各アドレスが、「0x0a00」、「0x0b00」、「0x0c00」のプリセットアドレスとしてアドレスレジスタ41に保持されている場合、各プリセットアドレスを順に指定してリードアクセス信号が各デバイス6A~6Cに送られる。

【0038】

リードアクセス信号を受けた各デバイス6A~6Cでは、指定されたプリセットアドレスに対応する制御レジスタからデータが読み出されるとともに、そのデータがISAバス30を介してPCI/ISAブリッジ4に送られる。PCI/ISAブリッジ4では、各デバイス6A~6Cから送られてきたデータが次にプリセットアドレスが指定されるまでデータバッファ46に保存される。たとえば、図3の(a)に一例として示すように、FDD6A、RS-232Cデバイス6B、プリンタ6Cからは、「データ0a」、「データ0b」、「データ0c」が周期的に読み出され、これらのデータがデータバッファ46に取り込まれる。

このような一連の動作を繰り返すことでプリフェッチ機能が定期的に実行されている。

【 0 0 3 9 】

以上のようなプリフェッチ機能の実行中、たとえば図 3 の (b 1) に示すように、CPU 1 から特定の ISA デバイス 6 (一例として FDD 6 A) に対するリードアクセスが生じると、CPU 1 がまず FSB 1 0 を占有して FSB 1 0 上にリードアクセス信号およびアドレスを送出する。CPU 1 により送出的れたリードアクセス信号およびアドレスは、FSB 1 0 を介してホストブリッジ 3 に受け取られる。このときのアドレスは、FDD 6 A に割り当てられた「0 x 0 a 0 0」とする。

【 0 0 4 0 】

FSB 1 0 を通じてリードアクセス信号およびアドレスを受けたホストブリッジ 3 は、図 3 の (b 2) に示すように、PCI バス 2 0 を占有して PCI バス 2 0 上にリードアクセス信号およびアドレスを転送する。ホストブリッジ 3 により転送されたリードアクセス信号およびアドレスは、PCI バス 2 0 を介して PCI / ISA ブリッジ 4 に受け取られる。

【 0 0 4 1 】

このとき、PCI / ISA ブリッジ 4 では、PCI バス 2 0 を通じてリードアクセス信号とともに受け取ったアドレスと、アドレスレジスタ 4 1 のプリセットアドレスとが一致するか否かがアドレス比較回路 4 2 により判定される。そして、両アドレスがともに「0 x 0 a 0 0」として一致する場合、図 3 の (b 3) に示すように、PCI / ISA ブリッジ 4 では、データバッファ 4 6 にすでに存在する目的のデータ (「0 x 0 a 0 0」に対応する「データ 0 a」) が読み出され、そのデータが PCI バス 2 0 を経由してホストブリッジ 3 に送り返される。すなわち、プリセットアドレスと同じアドレスを指定したリードアクセスの際には、データバッファ 4 6 にすでにプリフェッチされたデータがヒットすることで即座に PCI バス 2 0 を経由してホストブリッジ 3 に送られ、リードアクセスのターゲットとなる特定の ISA デバイス 6 に対してデータを直接読みに行く必要はない。このような同一アドレスの指定によりデータがヒットする確率は、アドレ

スレジスタ 4 1 に比較的アクセス頻度の高いプリセットアドレスが保持されているために局所的に高くなりやすく、たとえば I S A デバイス 6 を定期的に監視するためにリードアクセスが行われる際に極めて高くなると言えよう。

【 0 0 4 2 】

以上のようにして P C I / I S A ブリッジ 4 から目的とするデータを受け取ったホストブリッジ 3 は、最終的に図 3 の (b 4) に示すように、 F S B 1 0 を経由してアクセス元の C P U 1 にデータを送り届ける。これによりリードアクセスが完了して F S B 1 0 や P C I バス 2 0 が解放される。

【 0 0 4 3 】

要するに、図 3 の (b 1) ~ (b 4) の順に実行する一連のプロセスによれば、 C P U 1 から特定の I S A デバイス 6 に対するリードアクセスに際してすでに目的とするデータが P C I / I S A ブリッジ 4 にプリフェッチされており、 P C I / I S A ブリッジ 4 は、内部的にデータをデータバッファ 4 6 から読み出してホストブリッジ 3 に送るだけで良い。したがって、 P C I / I S A ブリッジ 4 は、リードアクセスのターゲットとなる I S A デバイス 6 との間で I S A バス 3 0 を介してデータなどをやり取りする必要が無く、バス全体としては、 P C I / I S A ブリッジ 4 より下位の I S A バス 3 0 が使用されない分、 C P U 1 やホストブリッジ 3 に占有される時間が短くて通常よりも早期に解放される。

【 0 0 4 4 】

一方、図 4 の (c 1) に一例として示すように、 C P U 1 上で特定の I S A デバイス 6 (F D D 6 A) に対するリードアクセスが生じ、その際に C P U 1 からリードアクセス信号とともに送出された F D D 6 A のアドレス「 0 x 0 a 0 1 」がアドレスレジスタ 4 1 に存在しない場合もある。この場合も、 F S B 1 0 を通じてリードアクセス信号およびアドレスを受けたホストブリッジ 3 は、図 4 の (c 2) に示すように、 P C I バス 2 0 を占有して P C I バス 2 0 上にリードアクセス信号およびアドレスを転送する。ホストブリッジ 3 により転送されたリードアクセス信号およびアドレスは、 P C I バス 2 0 を介して P C I / I S A ブリッジ 4 に受け取られる。

【 0 0 4 5 】

このとき、P C I / I S Aブリッジ4では、P C Iバス20を通じてリードアクセス信号とともに受け取ったアドレス「0 x 0 a 0 1」と、アドレスレジスタ41のプリセットアドレスとが一致しないことがアドレス比較回路42により判定される。その結果、図4の(c3)に示すように、さらにP C I / I S Aブリッジ4は、I S Aバス30を占有し、このI S Aバス30を経由してリードアクセスのターゲットとなるF D D 6 Aにリードアクセス信号およびアドレスを転送する。

【0046】

リードアクセス信号およびアドレスを受けたF D D 6 Aでは、図4の(c4)に示すように、そのアドレス「0 x 0 a 0 1」に対応する制御レジスタから「データb1」が読み出され、そのデータが再びI S Aバス30を経由してP C I / I S Aブリッジ4に送り届けられる。

【0047】

そうして目的とするデータをF D D 6 Aから受け取ったP C I / I S Aブリッジ4は、図4の(c5)に示すように、P C Iバス20を経由してホストブリッジ3にデータを送り返す。すなわち、プリセットアドレスに一致しないアドレスを指定したリードアクセスの際には、データバッファ46にプリフェッチされたデータがヒットしない状態とされ、通常通りにリードアクセスのターゲットとなる特定のI S Aデバイス6まで直接データが読みに行かれる。

【0048】

そして、P C I / I S Aブリッジ4から目的とするデータを受け取ったホストブリッジ3は、最終的に図4の(c6)に示すように、F S B 10を経由してアクセス元のC P U 1にデータを送り届ける。これによりリードアクセスが完了してF S B 10やP C Iバス20、I S Aバス30が解放される。

【0049】

要するに、図4の(c1)～(c6)の順に実行する一連のプロセスによれば、目的とするデータがP C I / I S Aブリッジ4にプリフェッチされていないため、通常通りにターゲットとなるI S Aデバイス6までバス10～30やブリッジ3, 4を経由してデータが読みに行かれ、その分、図3の(b1)～(b4)

のプロセスよりもデータ転送時間が長くなる。なお、プロセス全体としては、従来と同程度のデータ転送時間を要するプロセス（図4の（c1）～（c6））が常に発生するわけではなく、データ転送時間が短くなるプロセス（図3の（b1）～（b4））が高い確率で発生するので、リードアクセスの平均的なデータ転送時間としては総じて短くなる。

【0050】

したがって、本実施形態に係るP C I / I S Aブリッジ4によれば、リードアクセスのターゲットとなるI S Aデバイス6からすでに目的とするデータをプリフェッチしてバッファリングしていれば、そのデータをレスポンスとして即座に返すことができる。すなわち、I S Aバス30を介してリードアクセス信号やアドレス、さらにはデータなどがやり取りされないプロセスがあり、そのようなプロセスではP C Iバス20が早期に解放されるので、バス全体としてはレイテンシが平均的に小さくなり、ひいてはデータ転送速度が総じて向上することとなる。

【0051】

なお、本発明は、上記の実施形態に限定されるものではない。

【0052】

本発明に係るデータ転送制御装置は、マザーボード上のバス同士を接続するバスブリッジ以外にも適用可能である。たとえば図5に示すように、コンピュータ本体100にケーブル200を介してプリンタ300が接続されている場合、コンピュータ本体100内部のバス（図示省略）と、外部バスとしてのケーブル200との間でデータなどをやり取りする入出力インターフェイスとしてのI/Oコントローラ110に本発明に係るデータ転送制御装置の機能を設けるようにしても良い。このようなI/Oコントローラ110は、たとえばP C I / I S Aブリッジ4内部のプロセッサバスとケーブル200との間に位置するよう、P C I / I S Aブリッジ4の内部に内蔵されるタイプのほか、たとえばI S Aバス30とケーブル200との間に位置してマザーボード上に直接搭載されるチップタイプや、I S Aバス30に拡張コネクタを介して接続されるライザカード上のチップタイプがあるが、いずれであっても良い。

【 0 0 5 3 】

アドレスレジスタ 4 1 には、比較的アクセス頻度の高いプリセットアドレスが予め保持されているが、たとえば P C I / I S A ブリッジ 4 自体がアクセスパターンのログなどを取得する機能を備え、そのアクセスパターンのログから実動上アクセス頻度の高いアドレスを求めて随時更新するようにしても良い。

【 0 0 5 4 】

上記実施形態では、最下位の I S A デバイス 6 をターゲットしたリードアクセスのケースを想定したが、ホストブリッジ 3 も P C I / I S A ブリッジ 4 と同様の構成からなるため、C P U 1 からホストブリッジ 3 を介して P C I デバイス 5 にリードアクセスが行われる場合にも上記実施形態と同様の効果が得られる。つまり、P C I デバイス 5 に対するリードアクセスの際には、その P C I デバイス 5 からすでに目的とするデータがホストブリッジ 3 でプリフェッチされていることがある。そうすると、P C I バス 2 0 を介してデータなどがやり取りされることもなく F S B 1 0 が早期に解放されるので、この場合にも、バス全体としてはレイテンシが平均的に小さくなり、ひいてはデータ転送速度を向上させることができる。

【 0 0 5 5 】

また、C P U 1 からのリードアクセスに限らず、たとえばホストブリッジ 3 に D M A (Direct Memory Access) コントローラが備えられ、この D M A コントローラからのリードアクセスに応じてメモリと I S A デバイス 6 との間で直接データがやり取りされるような場合にも同様の効果を得ることができる。

【 0 0 5 6 】

アドレスレジスタ 4 1 のプリセットアドレスは、各デバイス 6 A ~ 6 C ごとに一つのアドレスに限らず、アドレスレジスタ 4 1 のサイズに応じて各デバイス 6 A ~ 6 C ごとに任意数のプリセットアドレスを保持するようにしても良い。

【 0 0 5 7 】

【発明の効果】

以上説明したように、本発明によれば、たとえばコンピュータ内部の高速バス上から低速バス上の周辺デバイスに対してリードアクセスがなされ、その際に指

定されたアドレスに基づき周辺デバイスのデータが事前にプリフェッチされている場合、周辺デバイスとの間で低速バスを介してリードアクセスやデータ転送が行われことはなく、プリフェッチ済みのデータが高速バス上に送り返される。つまり、高速バスと低速バスとの間で目的とするデータがすでに得られていれば、そのデータがレスポンスとして即座に返され、その分、低速バスを介してデータなどがやり取りされることなく高速バスが早期に解放されるので、バス全体にわたるレイテンシをできる限り小さくすることができ、データ転送速度を向上させることができる。

【図面の簡単な説明】

【図 1】

本発明のデータ転送制御装置を含む一例としてのバス構成図である。

【図 2】

P C I / I S A ブリッジの内部構成を示すブロック図である。

【図 3】

P C I / I S A ブリッジの動作を模式的に説明するための模式図である。

【図 4】

P C I / I S A ブリッジの動作を模式的に説明するための模式図である。

【図 5】

本発明のデータ転送制御装置を含む他の例としてのシステム構成図である。

【符号の説明】

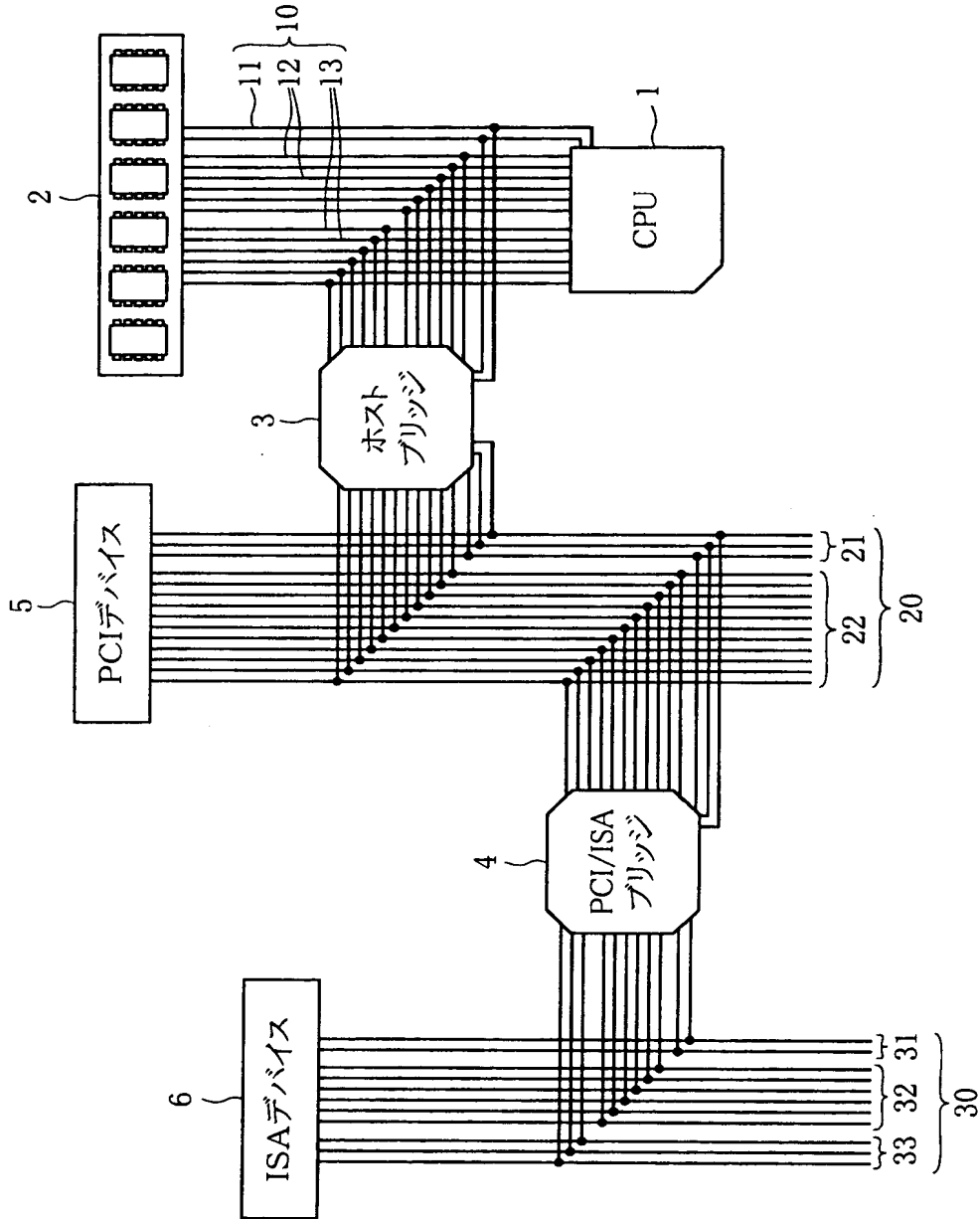
- 1 C P U
- 2 メモリ
- 3 ホストブリッジ
- 4 P C I / I S A ブリッジ
- 5 P C I デバイス
- 6 I S A デバイス
- 1 0 F S B (フロントサイドバス)
- 2 0 P C I バス
- 3 0 I S A バス

- 4 0 制御コア回路（プリフェッチ手段，直接応答手段）
- 4 1 アドレスレジスタ（アドレス保持手段）
- 4 2 アドレス比較回路
- 4 3 アドレスジェネレータ
- 4 4 タイマクロックジェネレータ
- 4 5 データバストランシーバ回路
- 4 6 データバッファ

【書類名】 図面

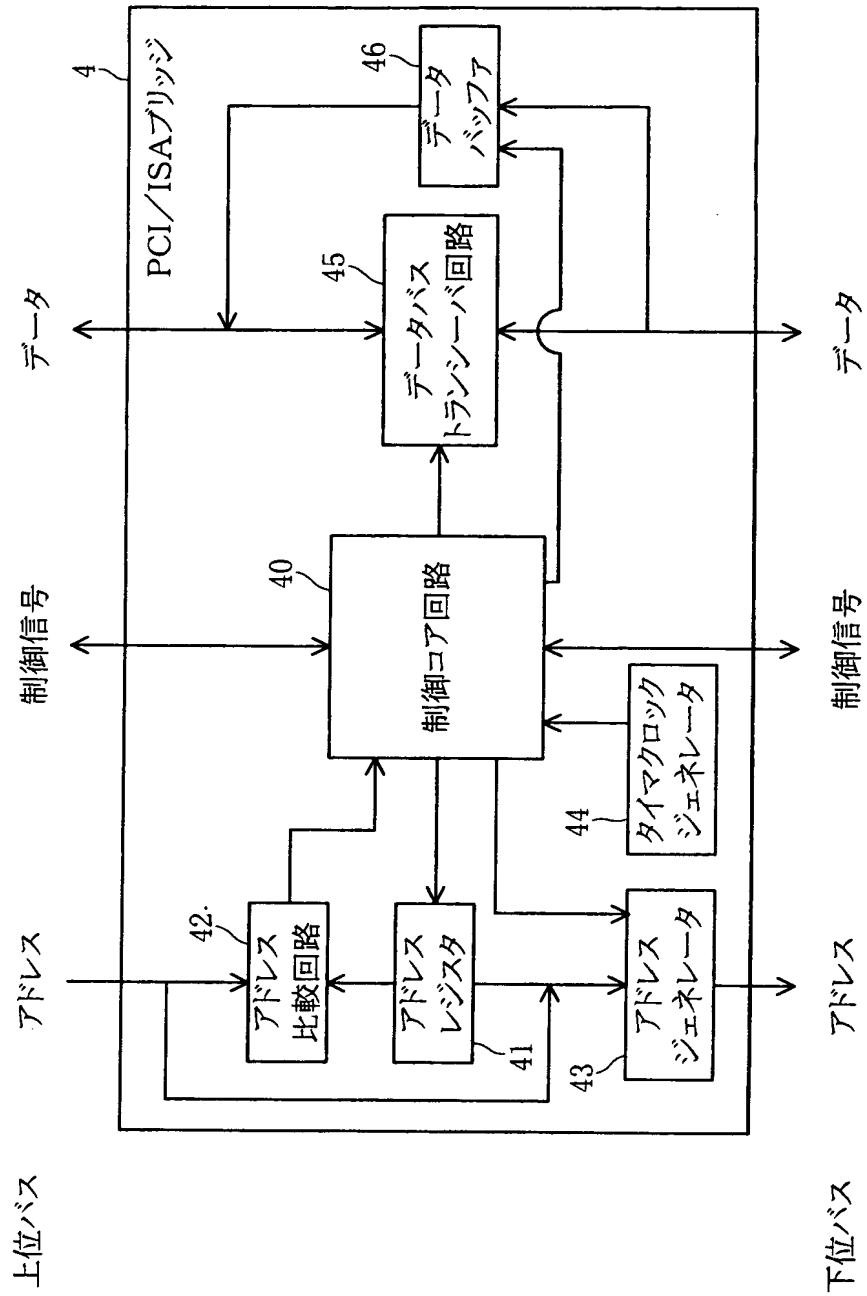
【図 1】

本発明のデータ転送制御装置を含む一例としてのバス構成図



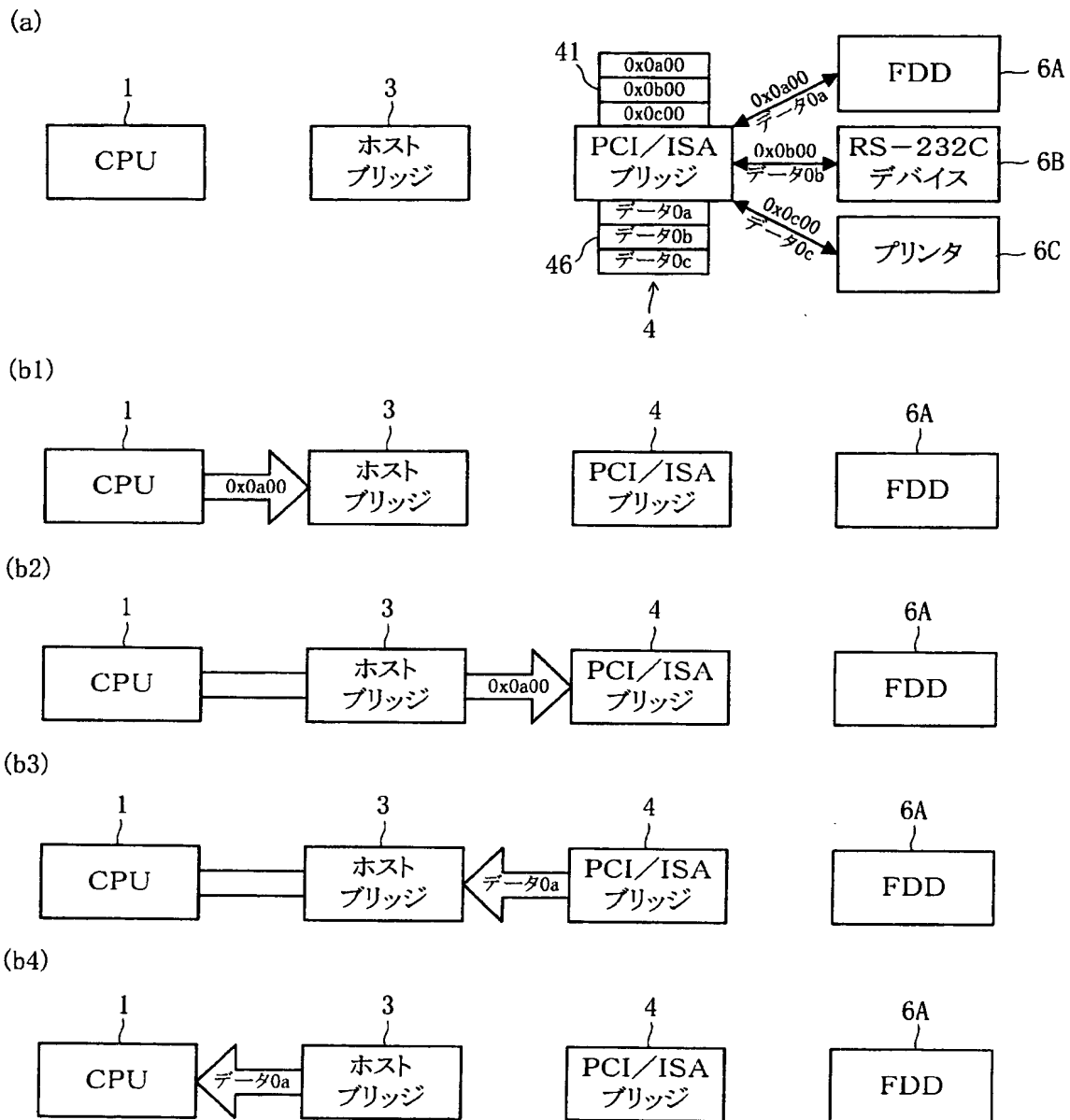
【図 2】

PCI/ISAブリッジの内部構成を示すブロック図



【図 3】

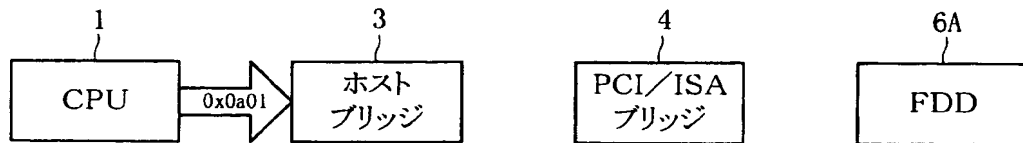
PCI/ISAブリッジの動作を模式的に説明するための模式図



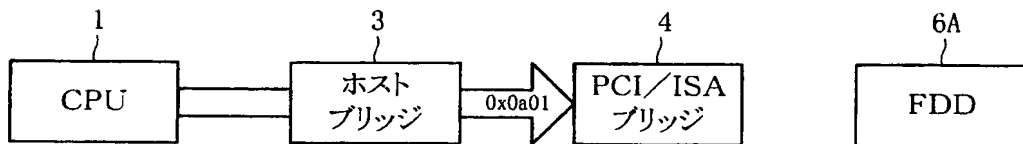
【図 4】

PCI/ISAブリッジの動作を模式的に説明するための模式図

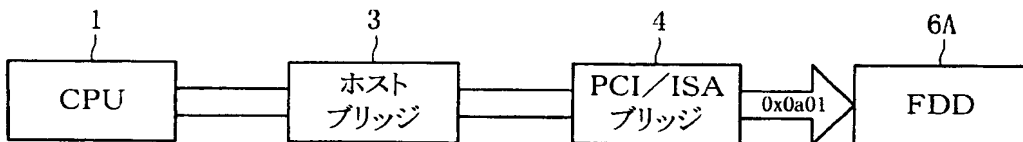
(c1)



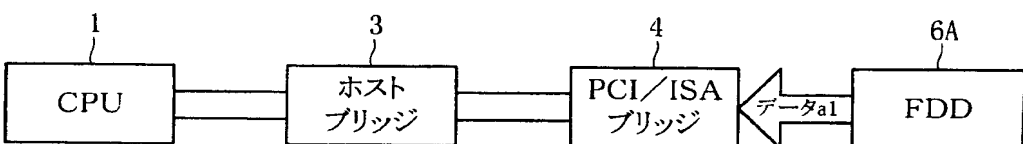
(c2)



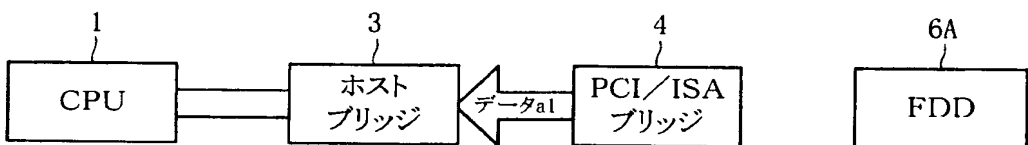
(c3)



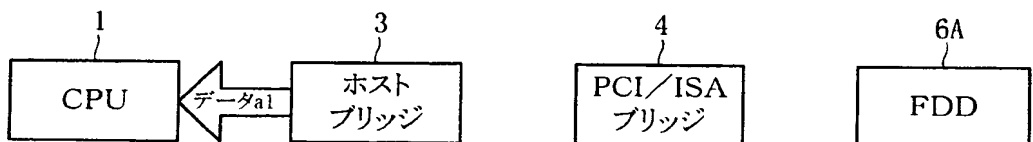
(c4)



(c5)

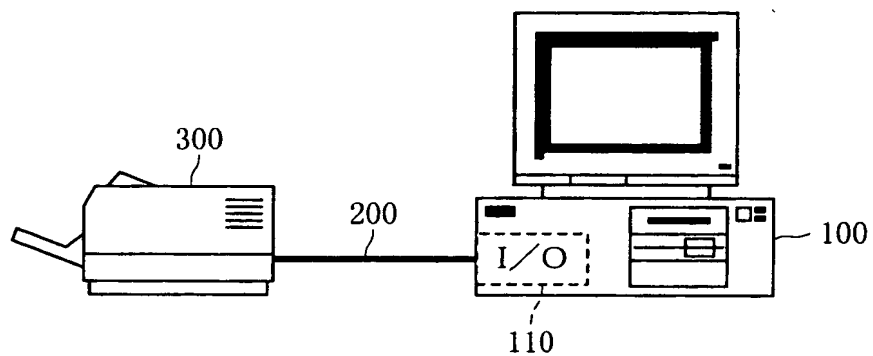


(c6)



【図 5】

本発明のデータ転送制御装置を含む他の例としてのシステム構成図



【書類名】 要約書

【要約】

【課題】 バス全体にわたるレイテンシをできる限り小さくし、データ転送速度を向上させることができるようにする。

【解決手段】 データ転送レート異なる P C I バスと I S A バスとを接続し、これらのバス間でデータを受け渡しする P C I / I S A ブリッジ 4 であって、この P C I / I S A ブリッジ 4 には、I S A バス上の I S A デバイスに割り当てられたアドレスを保持するアドレスレジスタ 4 1 と、アドレスレジスタ 4 1 のアドレスを指定し、I S A デバイスから周期的にデータを読み出してデータバッファ 4 6 に確保しておき、P C I バス上からの I S A デバイスに対するリードアクセスに伴い、アドレスレジスタ 4 1 のアドレスと同一のアドレスが指定された場合、そのアドレスに基づきすでにデータバッファ 4 5 に確保されたデータを P C I バス上に送り返す制御コア回路 4 0 とが備えられている。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [5 9 2 0 1 9 8 7 7]

1. 変更年月日 1 9 9 9 年 9 月 2 2 日
[変更理由] 住所変更
住 所 兵庫県加東郡社町佐保 3 5 番
氏 名 富士通周辺機株式会社